



[12] 发明专利说明书

专利号 ZL 02156795.6

[45] 授权公告日 2006 年 7 月 5 日

[11] 授权公告号 CN 1263125C

[22] 申请日 2002.12.18 [21] 申请号 02156795.6

[30] 优先权

[32] 2002. 6. 19 [33] US [31] 10/175,071

[71] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 罗文裕

审查员 高 伟

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 强

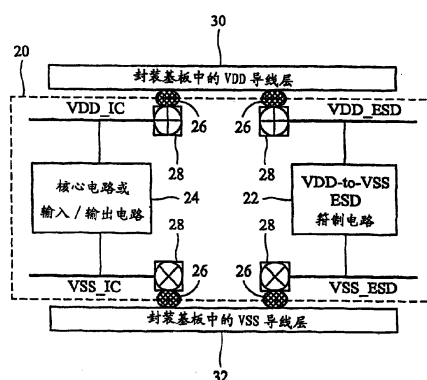
权利要求书 2 页 说明书 10 页 附图 10 页

[54] 发明名称

覆晶封装集成电路的静电放电保护机制及具有静电放电保护机制的晶片

[57] 摘要

本发明提供一种覆晶封装集成电路的静电放电 (ESD) 保护机制, 是使用覆晶封装基板上的导线层来桥接一 ESD 箝制电路 (clamp circuit) 及被保护电路, 包括一位于覆晶封装基板上的导线层 (trace) 以及一晶片。经由覆晶封装之后, 第一高压电源线是借由覆晶封装基板上的导线层耦接至第二高压电源线, 且第一低压电源线是借由覆晶封装基板上的导线层耦接至第二低压电源线。如此, 利用覆晶封装上的导线层可以将静电防护电路适当地桥接而能有效地保护内部电路, 以避免静电放电对此类覆晶封装集成电路产品的破坏, 提升产品的生产良率。



1. 一种覆晶封装集成电路的静电放电保护机制, 包括:
一第一导线层, 位于一封装基板上; 以及一晶片, 该晶片包括:
一被保护电路, 由形成于上述晶片上的一第一高压电源线及一第一低
5 压电源线所供电; 以及

一静电放电箝制电路, 耦接于形成在上述晶片上的一第二高压电源线
及一第二低压电源线之间;

其中上述晶片上的上述第一、第二高压电源线是分开的, 且于静电放
电事件发生时, 上述第一高压电源线借由上述封装基板上的第一导线层,
10 耦接至上述第二高压电源线。

2. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制,
其中上述晶片上的第一、第二低压电源线是分开的, 上述第一低压电源
线借由封装基板上的其他导线层, 耦接至上述第二低压电源线。

3. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制,
15 其中上述晶片上的第一、第二低压电源线是分开的, 上述第一低压电源
线于上述晶片封装完成后, 并不与上述第二低压电源线耦接。

4. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制,
其中上述被保护电路为一输入/输出电路。

5. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制, 其
20 中上述被保护电路为一核心电路。

6. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制,
其中上述第一、第二高压电源线以及上述第一、第二低压电源线耦接至
形成有锡铅凸块的第一、第二高压接合垫以及第一、第二低压接合垫。

7. 根据权利要求1所述的覆晶封装集成电路的静电放电保护机制,
25 其中更包括一第二导线层, 位于上述封装基板上, 且上述第一、第二导
线层分别连接至一静电放电防护单元的二接合垫上, 上述静电放电防护

单元于正常操作下电性分离上述第一、第二导线层，而于静电放电发生时，电性连接上述第一、第二导线层。

8. 根据权利要求7所述的覆晶封装集成电路的静电放电保护机制，其中于静电放电发生时，上述第一高压电源线是借由上述第一导线层、静电放电防护单元以及第二导线层，连接至上述第二高压电源线。

9. 一种覆晶封装集成电路的静电放电保护机制，包括：

一第一导线层，位于一封装基板上；以及一晶片，包括：

一被保护电路，由形成于上述晶片上的一第一高压电源线及一第一低压电源线所供电；以及

- 10 一电源静电放电箝制电路，耦接于形成在上述晶片上的一第二高压电源线及一第二低压电源线之间；

其中上述晶片上的上述第一、第二低压电源线是分开的，且于静电放电发生时，上述第一低压电源线借由上述封装基板上的第一导线层，耦接至上述第二低压电源线。

- 15 10. 一具有静电放电保护机制的晶片，包括：

一第一输入/输出电路，具有一第一电源线、一输入/输出接合垫以及一第一电源接合垫，上述第一电源接合垫是耦接至上述第一电源线；

一静电放电箝制电路，具有一第二电源线、至少二第二电源接合垫，上述第二电源接合垫之一，是耦接至上述第二电源线；

- 20 其中上述晶片上的上述第一、第二电源线是分开的，但借由一封装基板上的一导线层，上述第一电源接合垫电性连接至上述第二电源线。

覆晶封装集成电路的静电放电保护机制及具有静电放电保护机制的晶片

5 技术领域

本发明是关于一种静电放电保护机制,特别是有关于使用封装基板上的导线层(trace)来连接静电放电箝制电路(clamp circuit)以及被保护电路的一种覆晶封装集成电路的静电放电保护机制。

10

背景技术

在集成电路产业中,静电放电保护是一个很重要的可靠度问题。关于晶片上的静电放电防护设计,VDD-to-VSS静电放电(electrostatic discharge, ESD)箝制电路(clamp circuit)已被广泛地用来保护核心电路(core circuit)或输入/输出(I/O)电路免于静电放电应力(ESD stress)的损害,如图1中所示。假设VDD接合垫或VSS接合垫(18a、18b)耦接至晶片中的VDD-to-VSS ESD箝制电路(40或44),以保护输入输出电路或核心电路(38或42),免于静电放电应力的损害。图2表示一传统封装的晶片中,输入/输出电路、VDD-to-VSS ESD箝制电路以及核心电路的布局示意图。传统封装的晶片20于周边区域上具有输入/输出电路38,且于中间区域上具有核心电路42。由于晶片中的电源线(power rails)经常拉得很长,而造成程度不一的寄生阻值,每个VDD-to-VSS ESD箝制电路40仅可以有效地保护有限数目的邻近的输入/输出电路38或接合垫。因此,如图2中所示,额外的VDD-to-VSS ESD箝制电路40,有时必须适当间隔地被插入于输入/输出电路38之间。

随着集成电路（ICs）的脚位数增加，及输入／输出电路38的速度增加，覆晶封装技术（flip chip package）变得比较普遍。不像传统封装的集成电路，必须以金线接合（焊线，bonding wires）连接晶片上的接合垫（pad）与封装板。覆晶封装技术是使用锡铅凸块（solder bumps）来连接晶片上的接合垫与封装板。使用覆晶封装技术，接合垫可以直接地配置于输入／输出电路或核心电路之上，且于接合垫与封装板连接之后，只具有很小的寄生电阻和寄生电感。依着覆晶封装技术的好处，许多VDD或VSS接合垫可以直接配置于输入／输出电路或核心电路之上，使得信号完整度（signal integrity）以及电力分布得更好。在此架构下，配置VDD-to-VSS ESD箝制电路于中间位置变得很平常，若每个VDD-to-VSS ESD箝制电路仍然只能保护有限数目的邻近接合垫，使得此结构将耗费很大的晶片面积（silicon area）来达到所需的静电放电耐受能力，且增加自动布局绕线（auto-place-and-route, APR）的难度。反过来说，若每个VDD-to-VSS ESD箝制电路不限于保护的邻近接合垫，核心电路将变得更能容忍静电放电应力。

发明内容

本发明的静电放电保护机制，包括一封装基板上的导线层（conductive trace）以及一晶片。上述晶片包括一被保护电路以及一ESD箝制电路（power ESD clamp circuit）。上述被保护电路是由一第一高压电源线（first high power rail）及一第一低压电源线（first low power rail）来供电，ESD箝制电路是耦接于一第二高压电源线（second high power rail）及一第二低压电源线（second low power rail）之间。所有的电源线皆设置于晶片上，晶片上的第一高压电源线与第二高压电源线是分开的。不过，经由覆晶封装之后，第一高压电源

线会借由封装基板上的第一导线层 (first conductive trace) 耦接至第二高压电源线。

而第一低压电源线会借由封装基板上其他导线层 (conductive trace) 耦接至第二低压电源线, 或者是说, 第一低压电源线不须借由
5 晶片上的绕线耦接至第二低压电源线。

与通常具有少于 1 微米厚度的晶片上导电金属线 (conductive wires) 所构成的绕线 (route) 相比, 封装基板上的导线层 (conductive trace) 通常具有数十微米至数百微米的厚度。因此, 封装基板中的每个导线层可以提供比仅由晶片中的导电金属线较低寄生阻值的绕线, 来桥
10 接晶片中的电源线。于是每个电源线间的ESD箝制电路可以有效地保护更多的输入/输出电路或接合垫。因此, 电源线间的ESD箝制电路的数目可以减少, 以节省晶片面积 (silicon area) 及成本。

此外, 使用封装基板中的导线层来桥接, ESD箝制电路于晶片中的配置将更有弹性。

15 本发明还揭露一种覆晶封装集成电路的静电放电保护机制, 包括: 一第一导线层, 位于一封装基板上; 以及一晶片, 包括: 一被保护电路, 由形成于上述晶片上的一第一高压电源线及一第一低压电源线所供电; 以及一电源ESD箝制电路, 耦接于形成在上述晶片上的一第二高压电源线及一第二低压电源线之间; 其中上述晶片上的上述第一、第二低压电源
20 线是分开的, 且于静电放电发生时, 上述第一低压电源线会借由上述封装基板上的第一导线层, 耦接至上述第二低压电源线。

本发明还揭露一具有静电放电保护机制的晶片, 包括: 一第一输入/输出电路, 具有一第一电源线、一输入/输出接合垫以及一第一电源接合垫, 上述第一电源接合垫是耦接至上述第一电源线; 一ESD箝制电路,
25 具有一第二电源线、至少二第二电源接合垫, 上述二个第二电源接合垫之一, 是耦接至上述第二电源线; 其中上述晶片上的上述第一、第二电

源线是分开的，但借由一封装基板上的一导线层，上述第一电源接合垫会电性连接至上述第二电源线。

附图说明

5

图1是表示一使用晶片上金属线来连接VDD-to-VSS ESD箝制电路与I/O电路或核心电路的传统ESD保护机制

图2表示一传统封装IC晶片中，I/O电路VDD-to-VSS ESD箝制电路以及核心电路的布局

10 图3表示本发明针对核心电路或I/O电路的ESD保护机制

图4表示本发明针对具有分别对应I/O电路与核心电路的分离电源线对间的ESD保护机制

图5提供不同电源线对间的静电放电保护机制

图6表示图4、图5中ESD保护机制的组合。

15 图7提供不同电源线对间的ESD保护机制设计。

图8表示利用本发明所构成的ESD保护系统。

图9与为一覆晶晶片的接合垫的上视图

图10为另一覆晶晶片的接合垫的上视图。

图号说明：

20	18a、18b：电源接合垫；	20：晶片；
	26：锡铅凸块；	28：电源接合垫；
	30：VDD_trace导线层；	32：VSS_trace导线层；
	38：输入/输出电路；	39：VDD_trace导线层；
	41：VSS_trace-I/O导线层；	42：核心电路；
25	80：ESD高压汇流排；	82：ESD低压汇流排；
	core circuit 1:核心电路1; core circuit 2:核心电路2	

- 60a - 601: ESD防护单元;
- 43、43a、43b: VDD_trace_core导线层;
- 45、45a、45b: VSS_trace_core导线层;
- 22、40、44、46、48、42a、42b、62、66: VDD-to-VSS ESD箝制电路;
- 5 VDD-IC、VDD-ESD、VSS-IC、VSS-ESD、VDD-Core、VDD-I/O、VSS-Core、VSS-I/O: 电源线。

具体实施方式

- 10 图3表示一种核心电路或输入/输出电路的ESD保护机制。于晶片20中具有VDD-to-VSS静电放电箝制电路22以及核心电路或输入/输出电路24。VDD-to-VSS ESD箝制电路22耦接于两电源线VDD-ESD、VSS-ESD之间,同时核心电路或输入/输出电路24耦接于两电源线VDD-IC、VSS-IC之间。每个电源线会连接至形成有一锡铅凸块26的一电源接合垫(power pad) 28。于晶片20被封装之前,电源线VDD-IC是与电源线VDD-ESD分隔开的,且电源线VSS-IC亦与电源线VSS-ESD分隔开的。
- 15

- 以覆晶装置为例,晶片会面朝下地放置设于一封装基板上,例如一印刷电路板,接着借由熔接(welding)或软焊(soldering)附着于封装基板上。封装基板中的VDD_trace导线层30提供一个路径(route),通过锡铅凸块26而桥接电源线VDD-IC与VDD-ESD,进而连接至封装(package)的VDD脚位。封装基板中的VSS_trace导线层32提供一个路径(route),通过锡铅凸块26而桥接电源线VSS-IC与VSS-ESD,进而连接至封装(package)的VSS脚位。根据一般的半导体制程规格(manufacture specification),晶片上电源线(power rails)的金属线,通常最多
- 20
- 25 仅具有一微米的导线厚度(line thickness),设计者可以增加线宽,但是不能增加导线厚度。但是封装基板中的导线层(trace)会具有几十

到几百微米的导线厚度，因此在同样的宽度下，导线层（trace）通常比电源线（power rail）具有更低的寄生阻值。

于正常操作下，电源会由VDD、VSS脚位进来，通过VDD导线层、VSS导线层、电源线VDD-IC、电源线VSS-IC以供应核心电路或输入/输出电路24，同时VDD-to-VSS ESD箝制电路22会保持于关闭（OFF）的状态。于发生静电放电事件（ESD event）时，例如VDD脚位有一正ESD电压且VSS脚位接地，由于VDD导线层30的寄生阻值比晶片20中的电源线（power rail）低，因此ESD电压或应力会先散布（spread）至VDD导线层30。在ESD应力损害核心电路或输入/输出电路24之前，VDD-to-VSS ESD箝制电路22会被ESD应力所导通，而提供一个由VDD导线层30至VSS导线层32的低阻抗路径，以释放ESD电流且有效地保护晶片20不受静电放电损害。

于图3的ESD保护机制中，VDD-to-VSS ESD箝制电路22没有和习知技术一样，必需要贴近核心电路或输入/输出电路24的限制。这个弹性使得VDD-to-VSS静电放电箝制电路可以被设置于以往难以使用的区域，使得晶片的整个面积能够被更有效地利用。

图3中的ESD保护机制的好处，更包括与习知相较而言，只需要较少数量的VDD-to-VSS ESD箝制电路来保护核心电路或输入/输出电路24。VDD-to-VSS ESD箝制电路的数量，是根据每一种静电放电应力（ESD stress）的组合下每个VDD-to-VSS ESD箝制电路的响应速度来决定。如果电源线具有较大的寄生阻值，假如在某一种组合下VDD-to-VSS ESD箝制电路的响应速度会太慢而无法保护核心或输入/输出电路24时，会特别再插入一个额外的VDD-to-VSS ESD箝制电路设置于晶片中。于习知技术中，输入/输出电路或核心电路愈多，则必然包括愈多的VDD-to-VSS ESD箝制电路，这进一步增加所占用的晶片面积。但使用本发明，无论ESD应力总合为多少，因为封装基板中导线层的较低阻值，ESD应力会快速地散布至VDD导线层30或VSS导线层32，以导通VDD-to-VSS ESD箝制电路。

因此,有鉴于ESD响应速度,每种ESD应力的组合几乎是一样的。在考虑ESD保护下,一旦VDD-to-VSS ESD箝制电路的数目足够,则即使核心电路或输入/输出电路增加,也仍然足够。

如图4中所示,供给核心电路的电源线对VDD-Core、VSS-Core也可以
5 与供给输入/输出电路的电源线对VDD-I/O、VSS-I/O是相互区隔的。以避免电源突波(Power bouncing)或提高杂讯边限(noise margin)。图4表示本发明实施于一覆晶封装晶片上的ESD保护机制,具有分别供给至对应输入/输出电路及核心电路的分离的电源线对VDD-I/O、VSS-I/O、VDD-Core、VSS-Core。电源线对VDD-I/O、VSS-I/O是供给至输入/输出
10 电路38,而电源线对VDD-core、VSS-core是供给至核心电路42。VDD-to-VSS静电放电箝制电路40借由锡铅凸块26、VDD-trace-I/O导线层39与VSS-trace-I/O导线层41保护输入/输出电路38,VDD-to-VSS静电放电箝制电路44借由锡铅凸块26、VDD-trace-core导线层43与VSS-trace-core导线层45保护核心电路42。由于电源线对VDD-Core、
15 VSS-Core与电源线对VDD-I/O、VSS-I/O是分离的,因此于输入/输出电路38中的瞬间电流产生的电源突波,将不会影响到核心电路42。

一旦发生跨于不同电源线对的ESD应力时,也需要静电放电保护。图5表示保护跨在不同电源线对的二个ESD保护机制。VDD-to-VSS ESD箝制电路46耦接于VDD-trace-core导线层43与VSS-trace-I/O导线层41之间,用
20 以防止ESD应力穿过VDD脚位至核心电路,以及穿过VSS脚位至输入/输出电路,VDD-to-VSS ESD箝制电路48藕接于VDD-trace-I/O导线层39与VSS-trace-core导线层45之间,用以防止ESD应力穿过VDD脚位至输入/输出电路,以及穿过VSS脚位至核心电路。

图6表示图4、图5中ESD保护机制的组合。借由封装基板的
25 VDD-trace-core导线层43、VSS-trace-core导线层45会连接到VDD及VSS脚位(未显示)用以传输电源至核心电路42,VDD-trace-I/O导线层39、

VSS_trace-I/O导线层41会连接到VDD及VSS脚位（未显示）用以传输电源至输入/输出电路38。

图7表示保护跨在不同电源线对的 ESD应力的另一ESD保护机制设计。为了预防由不同电源脚位所供电的界面电路不受静电放电的损害，

5 ESD防护单元（ESD_Pass cells）（60a-60l）可以插入于不同电源接脚之间，在静电放电发生时，作为一个放电路径。构成一个 ESD防护单元的方式是连接两个并联且反向的二极体。因此，一二极体的阳极与阴极会分别耦接至另一二极体的阴极与阳极。为了具有一较高的抗杂讯干扰临界电压，每一个二极体也可以由串接的二极体或电晶体所构成。上

10 述二极体或电晶体串接的杂讯临界电压是根据于正常操作情况下，多少杂讯边限或电压差是可以接受的来决定。于图7中，ESD防护单元60a、60b、60c及60d会各别地耦接于电源导线层（power trace）之间。举例来说，于正常情况下，跨在VDD_trace-core-I导线层43a与VDD_trace-I/O导线层39的电压差，不足高到开启ESD防护单元（ESD_Pass cell）。在

15 VDD_trace-I/O导线层39上有正静电放电电压且VSS_trace-core-I导线层45a接地时的静电放电事件中，图7中至少有两个放电路径。一个路径由VDD_trace-I/O导线层39开始，通过ESD防护单元60a、VDD_trace-core-I导线层43a及VDD-to-VSS ESD箝制电路42a，且于VSS_trace-core-I导线层45a结束。另一路径由VDD_trace-I/O导线层39开始，通过VDD-to-VSS

20 ESD箝制电路40、VSS_trace-I/O导线层41及ESD防护单元60b，且于VSS_trace-core-I导线层45a结束。二路径间具有较低导通电压之一者，会自动地被选择以释放静电放电应力。

图8表示本发明的一ESD保护是系统。于一个高阶的IC晶片中，通常会用连接到封装上不同电源脚位的不同电源线对（power rail pairs）来

25 供电至不同的电路群组。为了符合静电放电保护的要求，以保护每个电源脚位及核心电路，提出图8中所示的静电放电保护系统。核心电路42a

是由两电源线VDD-core-1、VSS-core-1所供电，ESD防护单元60e是通过封装基板的导线层64a耦接至电源线VDD-core-1，更耦接至封装基板的其他导线层，即一ESD高压汇流排(global ESD low bus) 80。ESD防护单元60h会通过封装基板的一导线层66a耦接至电源线VSS-core-1，更耦接至封装基板的其他导线层，即一ESD低压汇流排(global ESD low bus) 82。VDD-to VSS ESD箝制电路62会耦接于ESD高低压汇流排(global ESD high and low buses) 80、82之间，核心电路42b及输入/输出电路38亦使用相同的连接。于正常的情况下VDD-to-VSS ESD箝制电路62及所有ESD防护单元均处于开路(open)状态；而当静电放电发生时，会被触发而导通以形成一短路路径，以释放静电放电应力。举例来说，假设在导线层64a上产生一正电压脉波，且同时导线层66b接地，放电电流大体上将会通过导线层64a、ESD防护单元60e、ESD高压汇流排(global ESD high bus) 80、VDD-to-VSS ESD箝制电路62、ESD低压汇流排(global ESD low bus) 82、ESD防护单元60k而达到导线层66b。

透过使用基板上导线层(trace)来连接VDD-to-VSS ESD箝制电路及输入/输出电路或核心电路，设计者可以具有更大弹性来将接合垫布局于一覆晶封装的晶片上。图9及图10为两覆晶封装的晶片上接合垫排列的上视图，输入/输出电路38被配置于方形晶片20的每一边上，要注意的是，除了不可少的I/O接合垫之外，每一个输入/输出电路只有一个电源接合垫(power pad)，不是VDD接合垫就是VSS接合垫。具有一VSS/VDD接合垫的输入/输出电路会配置于具有一VDD/VSS接合垫的输入/输出电路之间。当然，每个输入/输出电路是由至少两个电源线，如VDD、VSS来供电。于一输入/输出电路中的每个电源线(power rail)会借由输入/输出电路或邻近输入/输出电路上的电源接合垫，连接至一电源导线层(power trace)。VDD-to-VSS ESD箝制电路其上具有两电源接合垫，用以借由封装基板上的导线层来桥接至输入/输出电路或核心电路。

图9中，所有VDD-to-VSS ESD箝制电路66是配置于四个角落，于图10中，除了一个VDD-to-VSS ESD箝制电路66配置于一角落之外，两个VDD-to-VSS ESD箝制电路68是配置于晶片20的中间区域。数个输入/输出电路38也配置于中间区域，以将核心电路隔成两组，即核心电路1（core circuit 1）及核心电路2（core circuit 2）。所有核心电路其上具的电源接合垫，用以借由基板上的导线层连接其电源线至VDD-to-VSS ESD箝制电路的电源线。

与使用晶片上的金属线(metal wires)来连接VDD-to-VSS ESD箝制电路与输入/输出电路或核心电路的习知技术相比，本发明的静电放电保护机制，是使用封装基板上的导线层(trace)来桥接VDD-to-VSS ESD箝制电路与输入/输出电路或核心电路。由于封装基板上的导线层具有较低的寄生阻值，VDD-to-VSS ESD箝制电路可以有效地保护更多的输入/输出电路或核心电路，也可以被配置于晶片上任何区域，以缩小晶片的尺寸，以及节省成本。

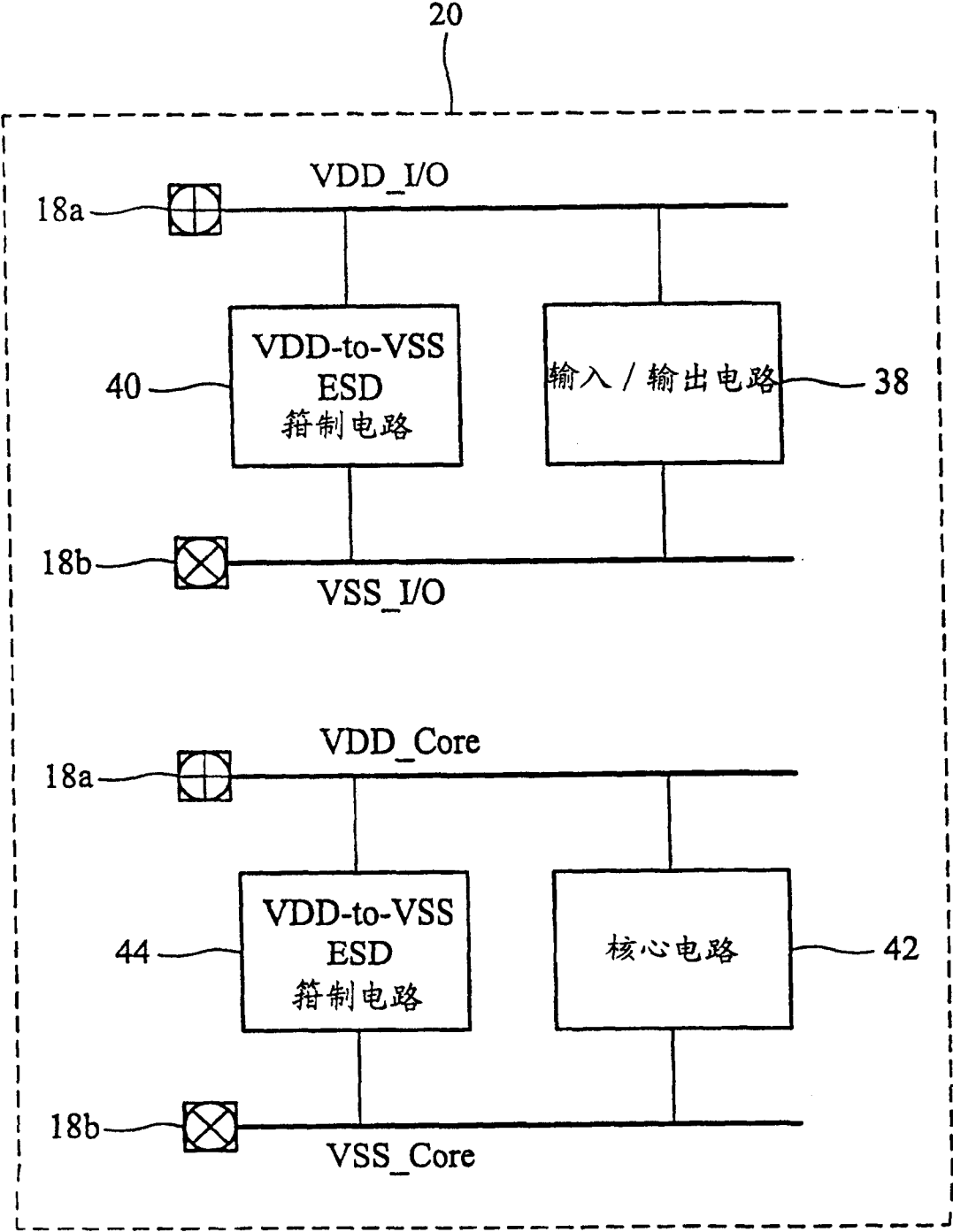


图 1

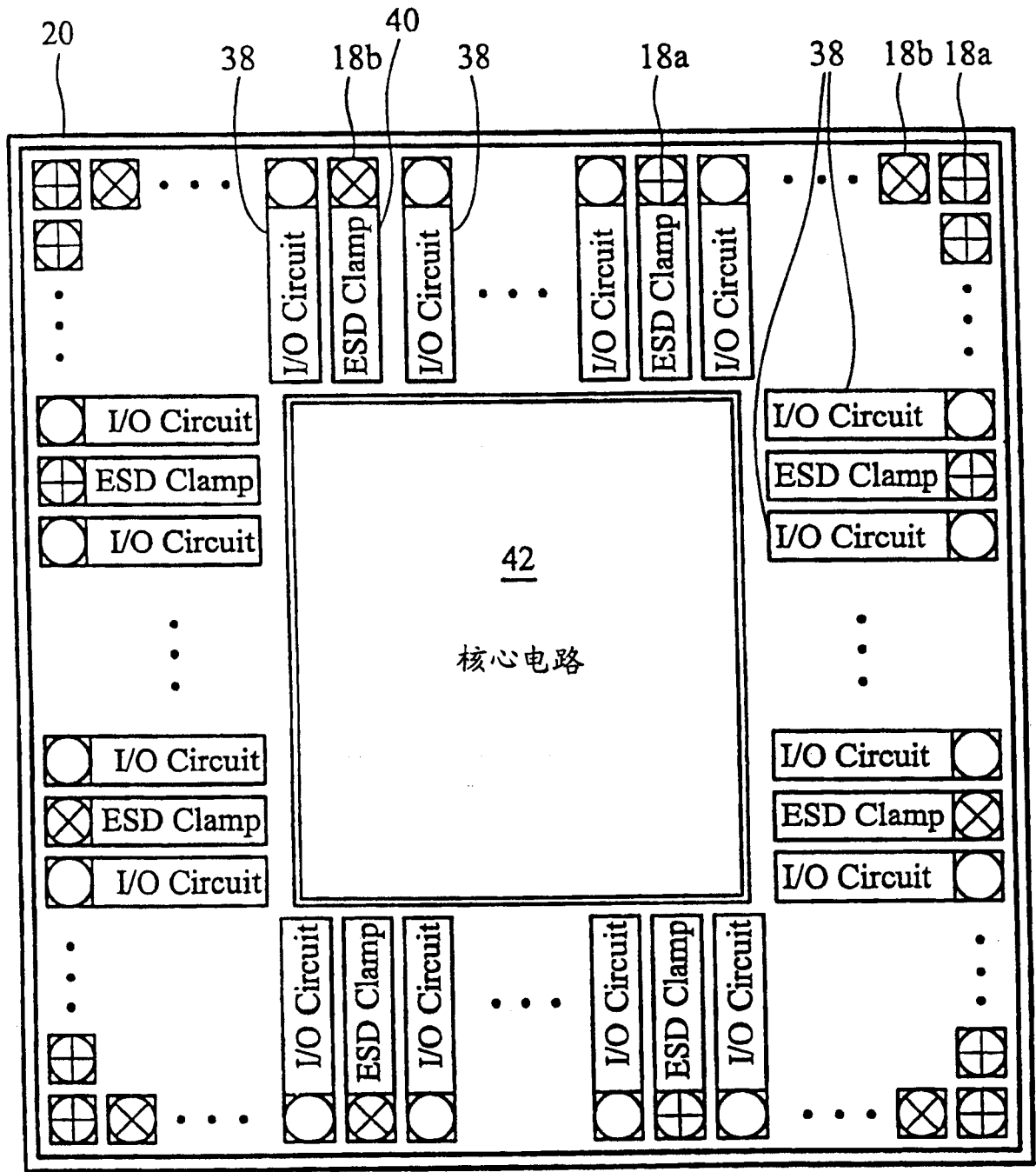


图 2

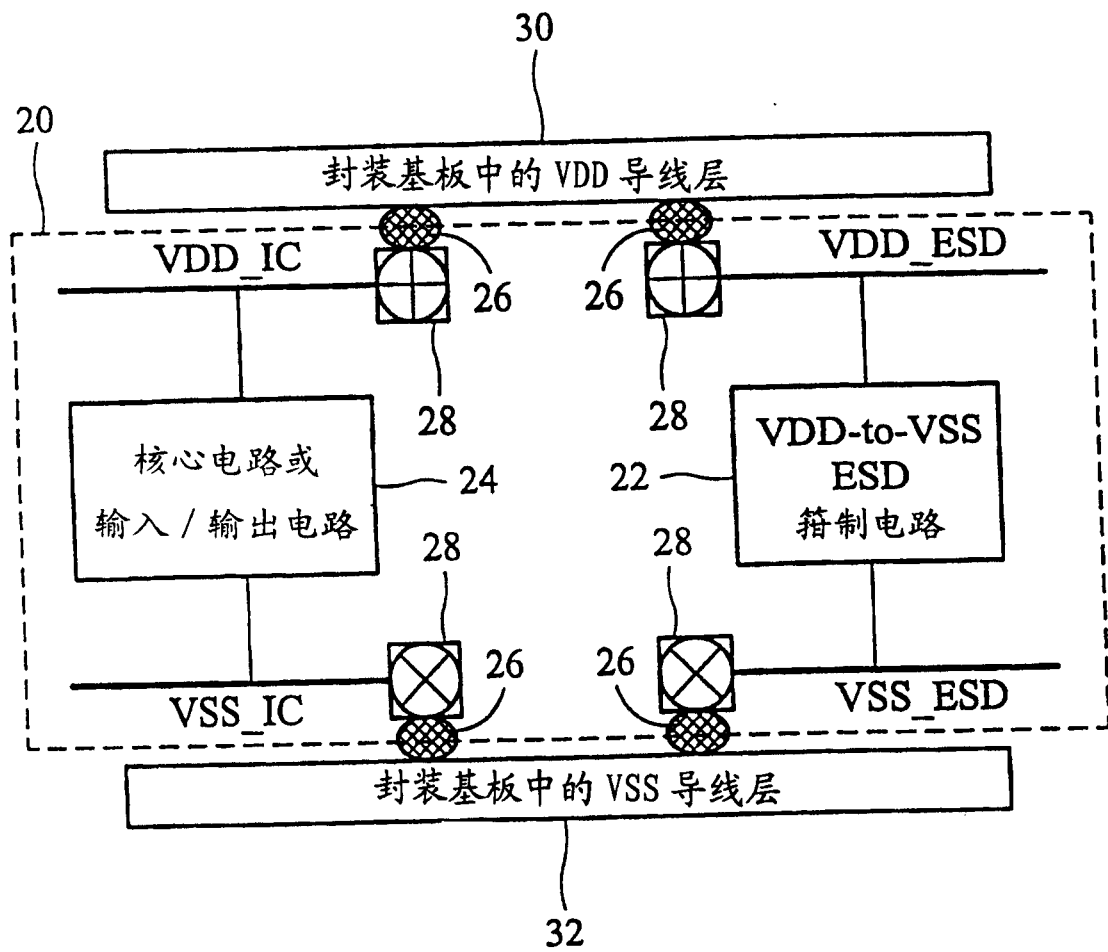


图 3

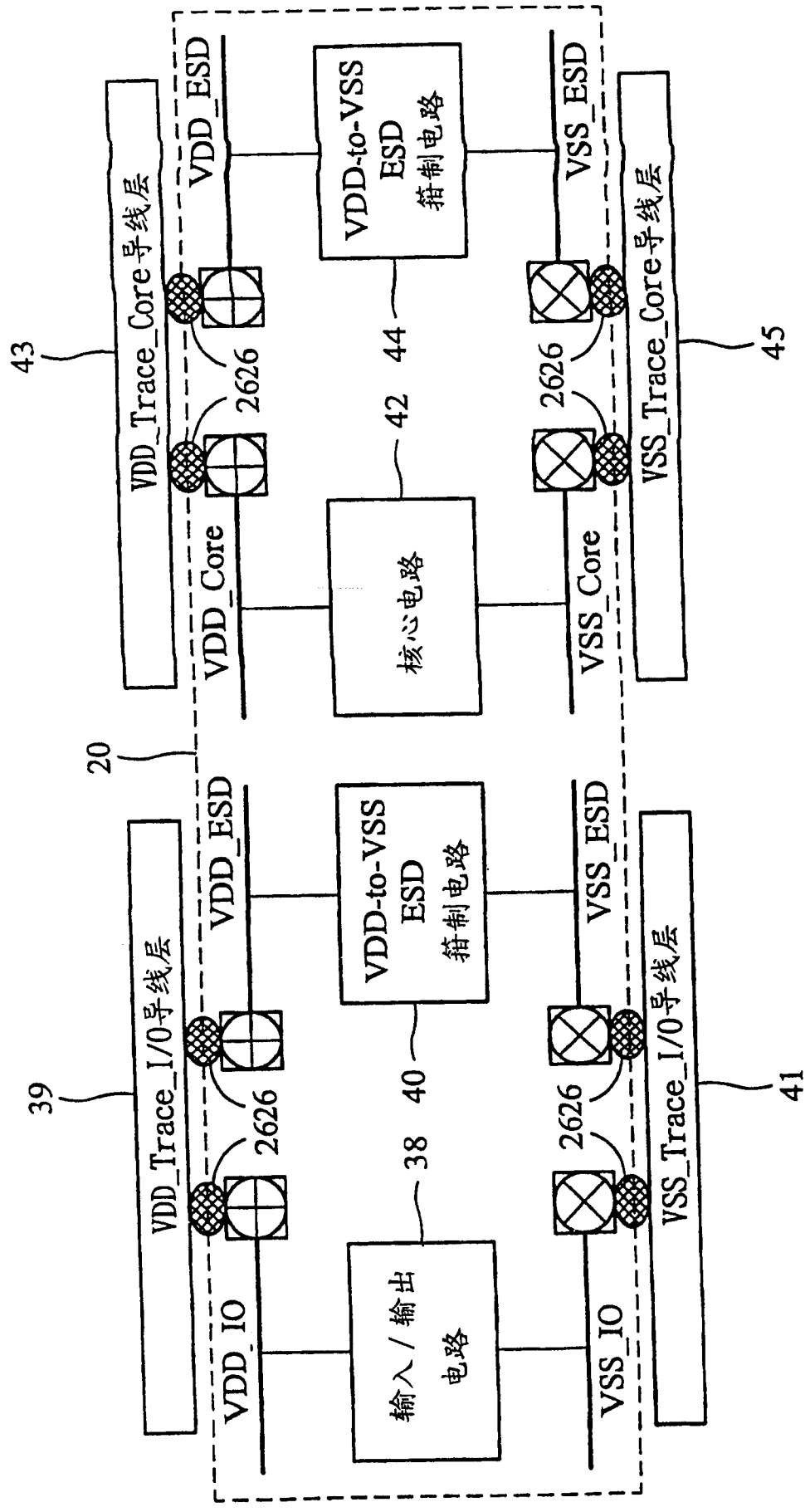


图 4

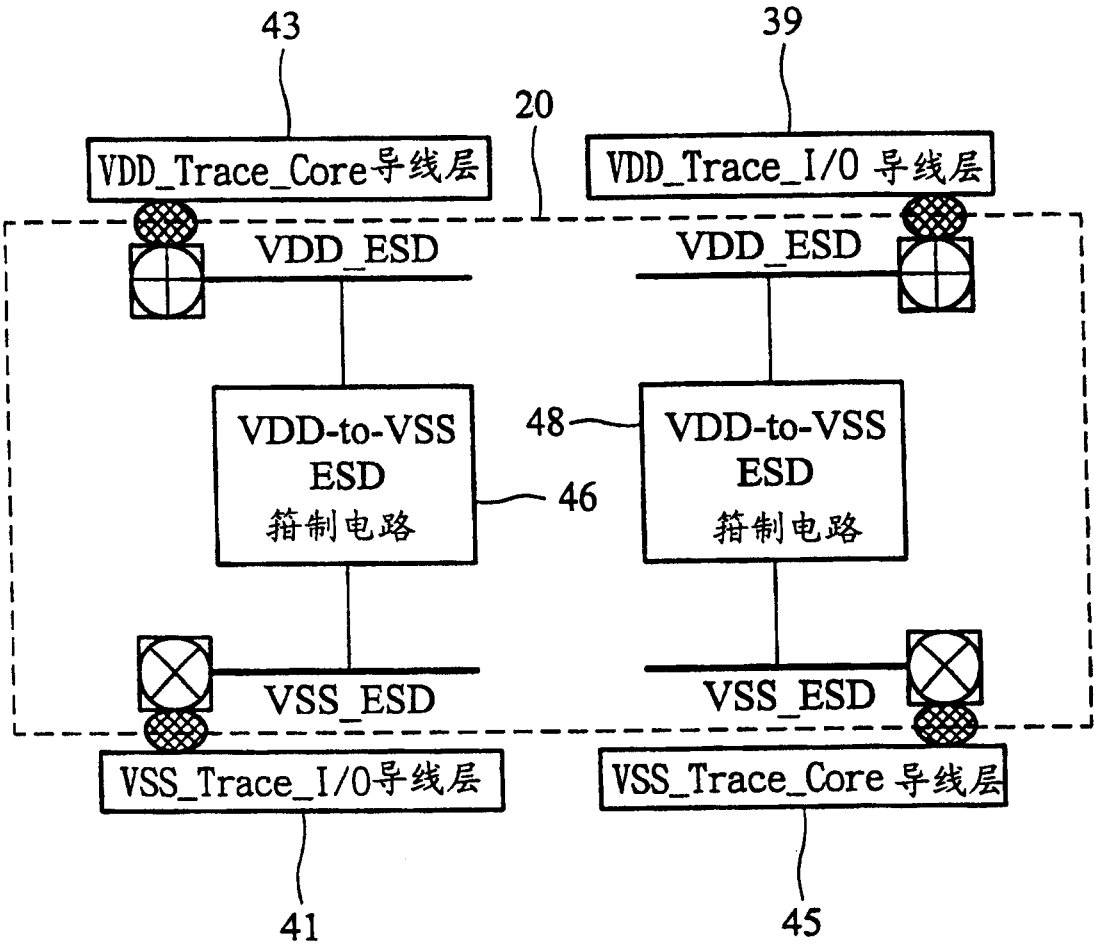


图 5

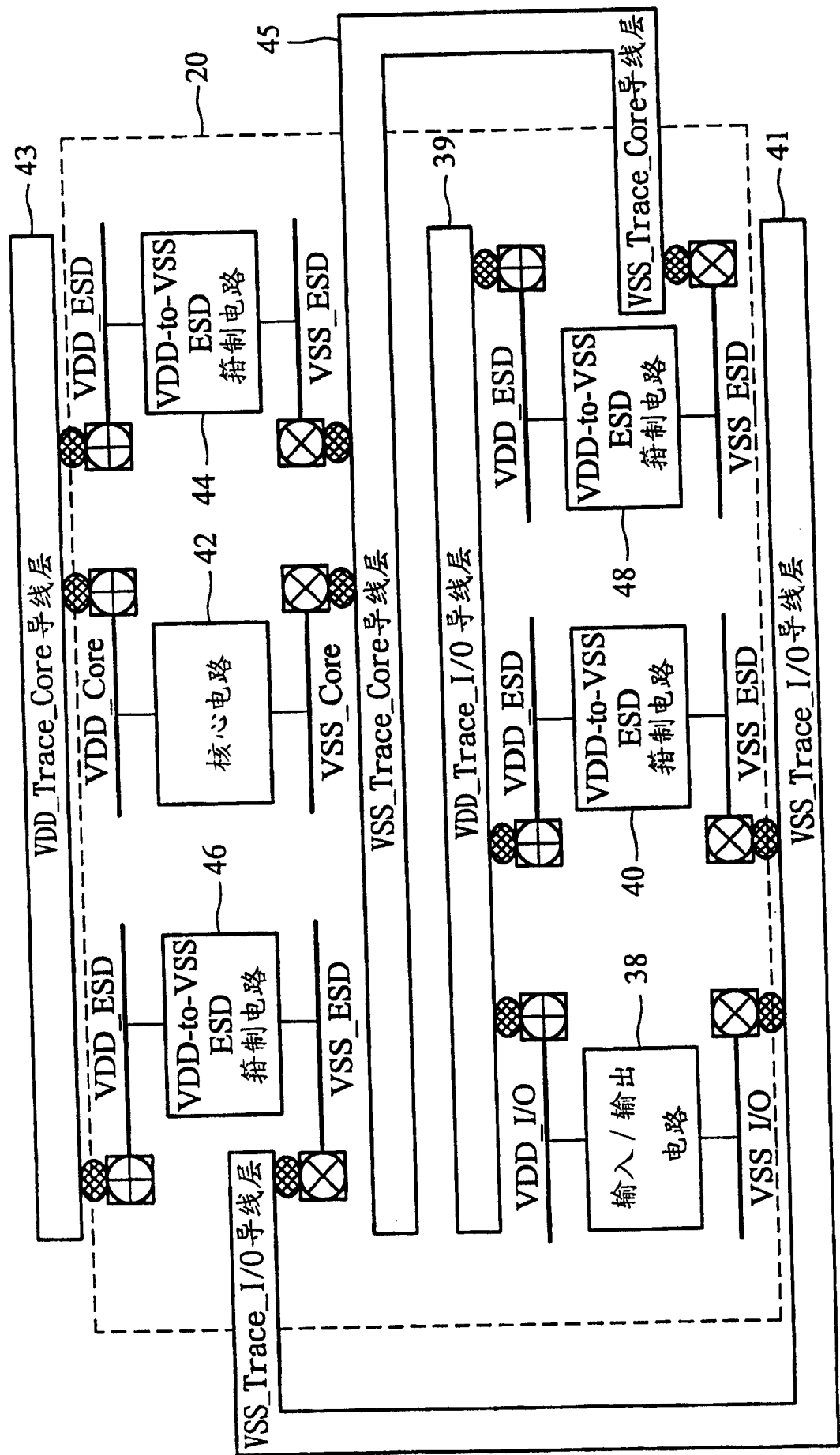


图 6

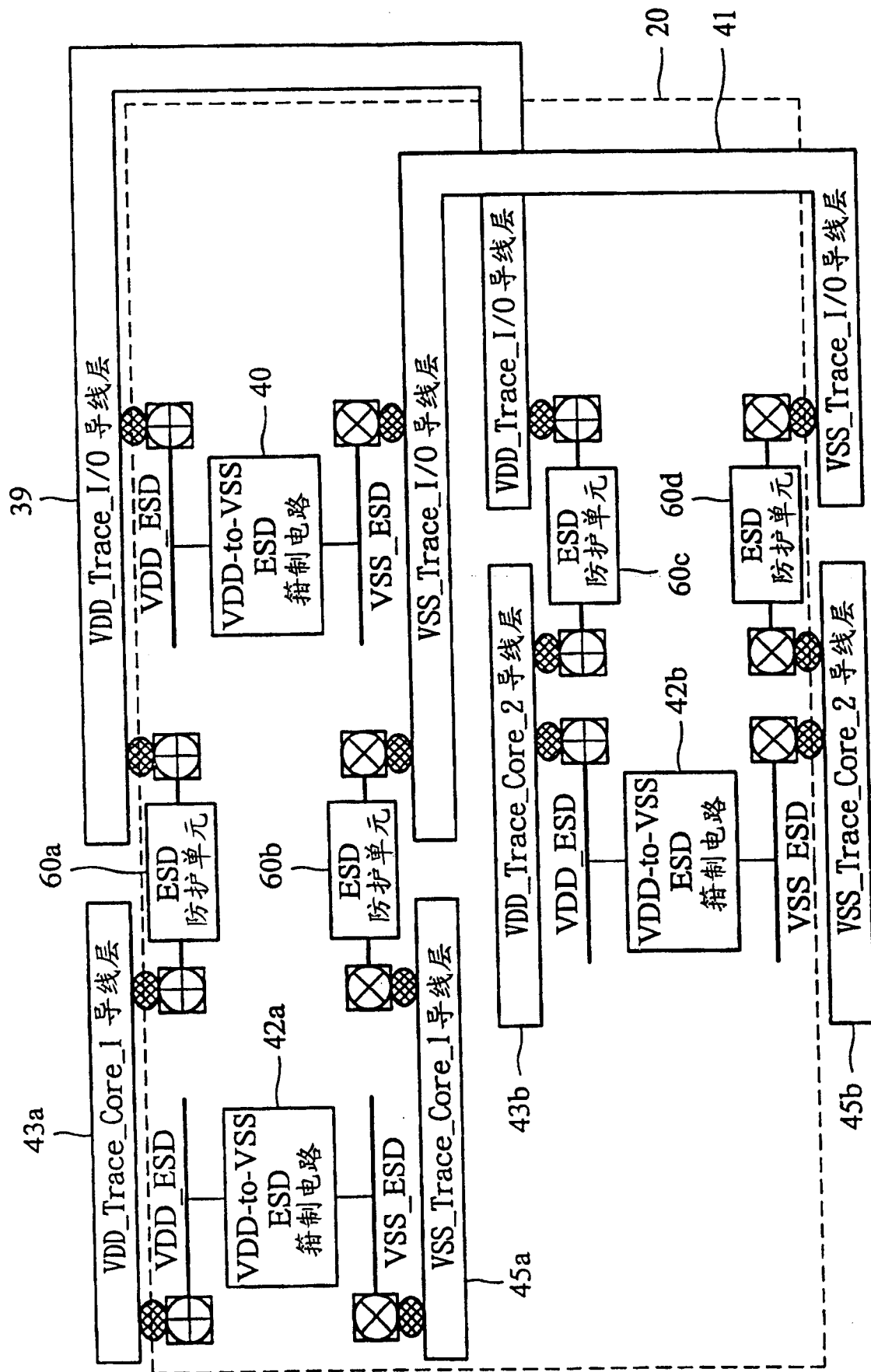


图 7

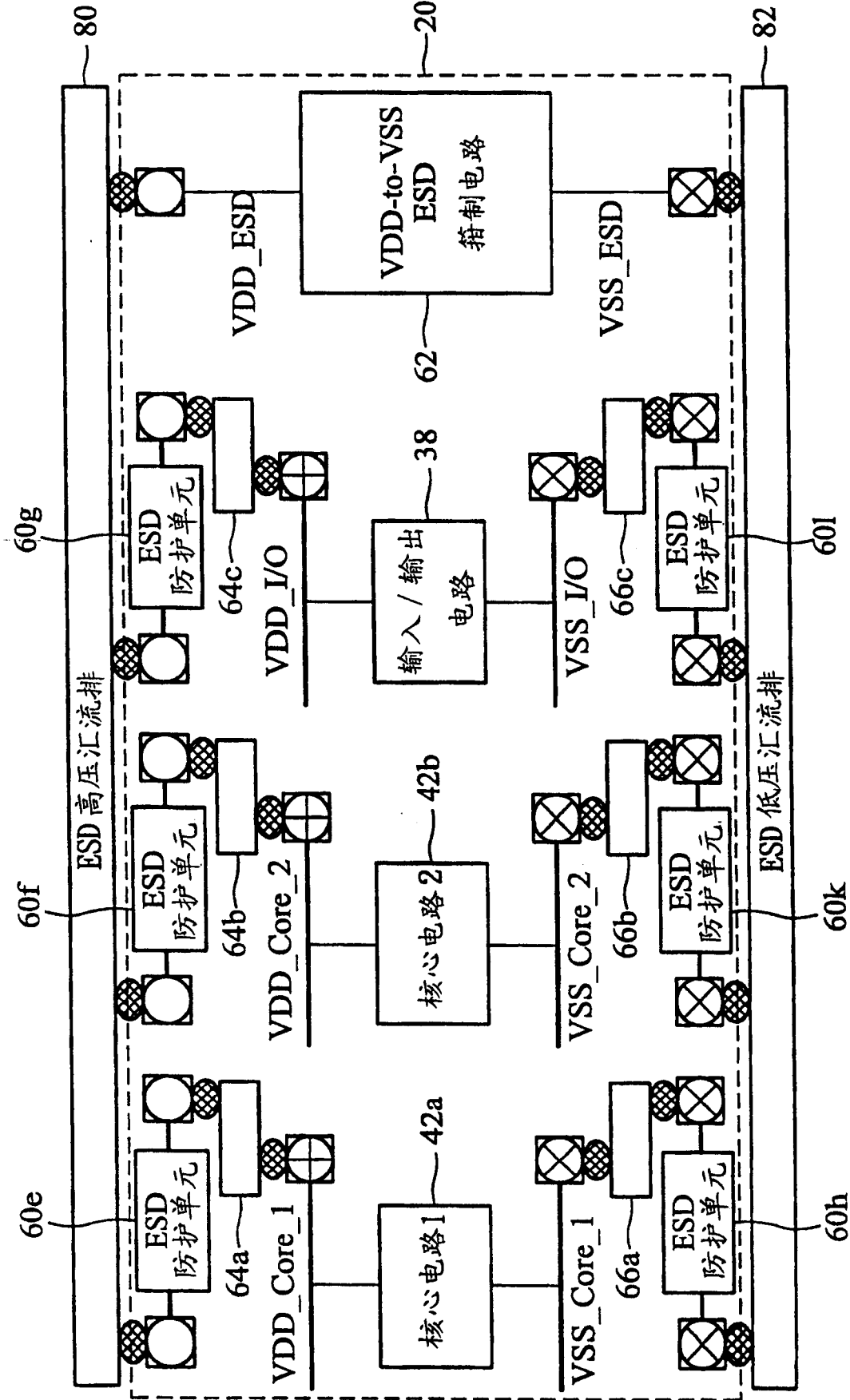


图 8

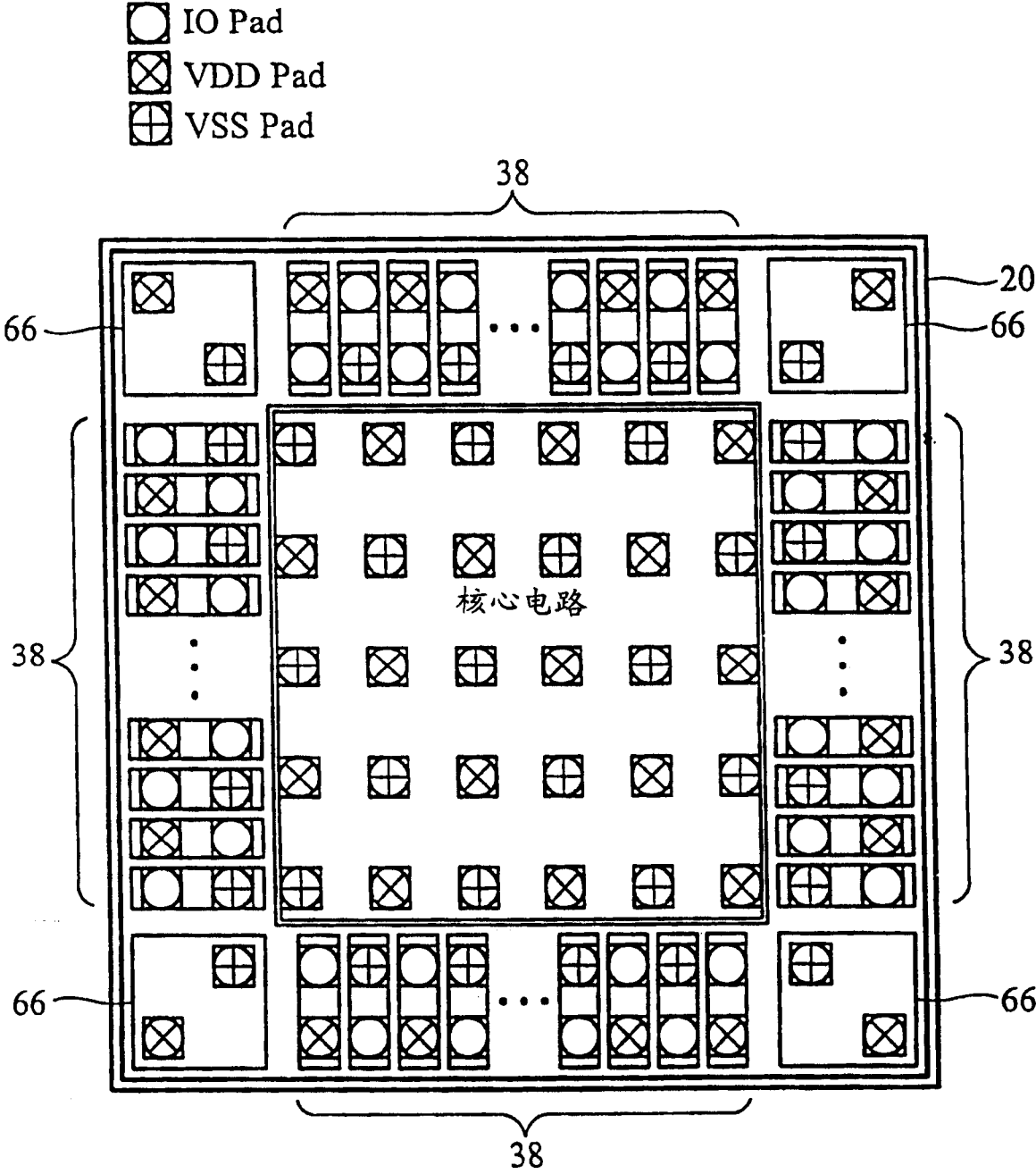


图 9

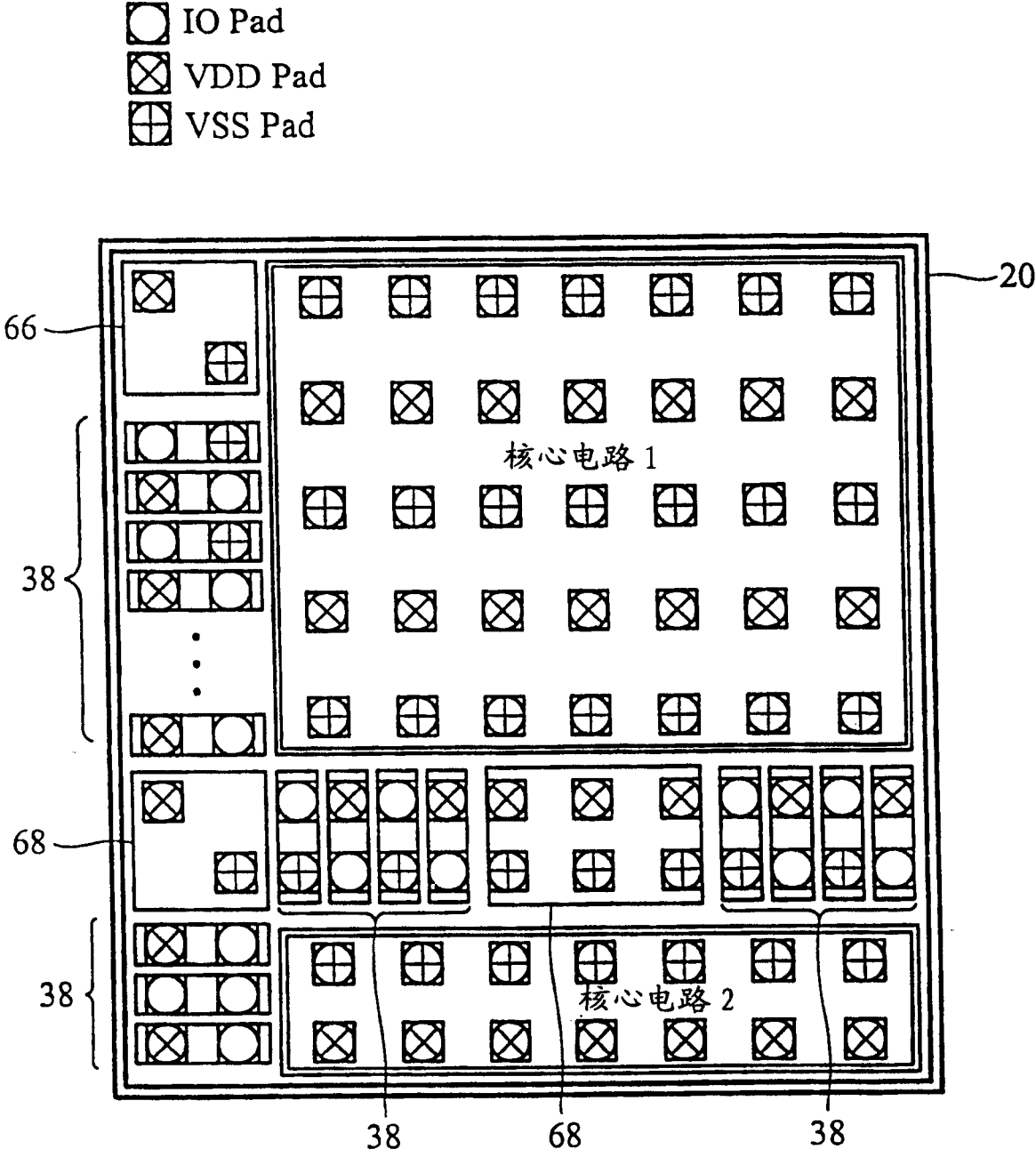


图 10